

P-2250

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-257357

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

H01L 29/786

(21)Application number : 2000-068629

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 08.03.2000

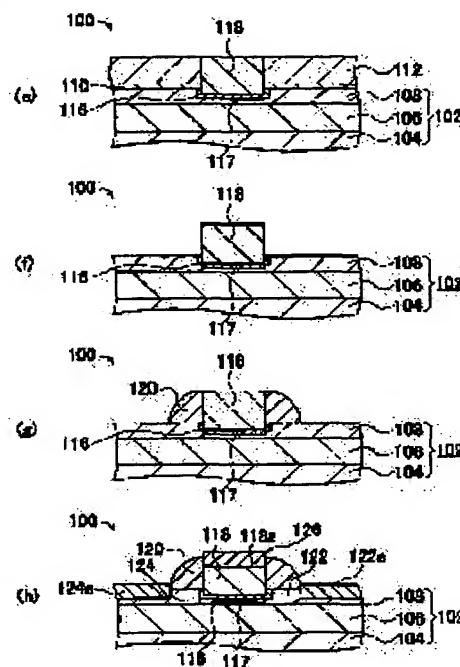
(72)Inventor : IDA JIRO  
TAKEDA MAKOTO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method which has an SOI structure, capable of suppressing its short channel effect and its parasitic resistance.

SOLUTION: On a semiconductor layer 108, which is the constituent an SOI wafer 102 of a semiconductor device 100, first and second insulation layers 110, 112 are formed. An opening portion 114 is formed in the first and second insulation layers 110, 112 so that the thickness of the portion of semiconductor layer 108, where a channel portion 117 is formed is made smaller than the thickness of the portion of the semiconductor layer 108 where source and drain portions 122, 124, are formed. After forming a gate insulation film 116 in the semiconductor layer 108, the channel portion 117 is formed in the portion of the semiconductor layer 108, which is present below the gate insulation film 116. After forming a gate electrode 118 in the opening portion 114, the first and second insulation films 110, 112 are removed to form sidewalls 120. In the semiconductor layer 108, the source and drain portions 122, 124 are formed so as to interpose the channel portion 117 between them, and the surfaces of the source and drain portions 122, 124 are made into silicide.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-257357  
(P2001-257357A)  
(43) 公開日 平成13年9月21日 (2001.9.21)

(5) Int. Cl.<sup>7</sup>  
H01L 29/786  
H01L 29/78  
H01L 5F110  
618D 5F110  
617T

審査請求 未請求 請求項の数 8 OL (全 10 頁)

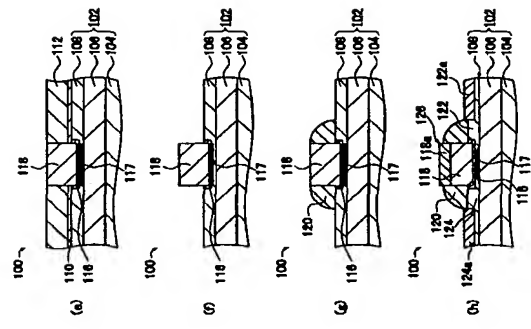
(21) 出願番号 特願2000-58523X (P2000-68523)  
(22) 出願日 平成12年3月8日 (2000.3.8)

(71) 出願人 000000285  
神電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
井田 次郎  
東京都港区虎ノ門1丁目7番12号 神電気工業株式会社内  
竹田 真  
東京都港区虎ノ門1丁目7番12号 神電気工業株式会社内  
(74) 代理人 100095957  
井理士 亀谷 美明 (外3名)

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】  
【課題】 短チャネル効果および寄生抵抗を抑制可能な SOI 構造を有する半導体装置およびその製造方法を提供すること。  
【解決手段】 半導体装置 100 の SOI ウェハ 102 を構成する半導体層 108 上に第 1 および第 2 絶縁膜 110、112 を形成する。第 1 および第 2 絶縁膜 110、112 に、チャネル部 117 を形成する半導体層 108 の厚みがソースおよびドレイン部 122、124 を形成する半導体層 108 の厚みよりも薄くなるように開口部 114 を形成する。半導体層 108 下方の半導体層 116 を形成後、ゲート絶縁膜 116 下方の半導体層 108 にチャネル部 117 を形成する。開口部 114 内にゲート電極 118 を形成後、第 1 および第 2 絶縁膜 110、112 を除去し、サイドウォール 120 を形成する。チャネル部 117 を挟んで半導体層 108 にソースおよびドレイン部 122、124 を形成し、表面をシリサイド化する。



【特許請求の範囲】

【請求項 1】 半導体基板上に埋込み絶縁層と半導体層とが積層された SOI 基板に形成された半導体素子を備える半導体装置において、前記半導体層上にゲート絶縁膜を介して形成されるゲート電極と、前記ゲート電極下方の前記半導体層に形成されるチャネル領域と、前記チャネル領域を挟んで前記半導体層に形成されるソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域に形成されるシリサイド領域と、を備え、前記チャネル領域が形成される前記半導体層の厚みは、前記ソース領域および前記ドレイン領域が形成される前記半導体層の厚みよりも薄く、を特徴とする、半導体装置。

【請求項 2】 前記半導体層上には、絶縁層が形成され、前記ゲート電極は、前記絶縁層を貫通し前記ゲート絶縁膜に接続される開口部内から前記絶縁層上に渡り形成されること、を特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】 前記ゲート絶縁膜は、SiO<sub>2</sub> よりも誘電率が高い材料から構成されることを特徴とする、請求項 1 または 2 のいずれかに記載の半導体装置。

【請求項 4】 半導体基板上に埋込み絶縁層と半導体層とが積層された SOI 基板に半導体素子を形成する半導体装置の製造方法であって、前記半導体層上に第 1 絶縁膜を形成する工程と、前記第 1 絶縁膜を貫通し、前記半導体層に接続される第 1 開口部を形成する工程と、前記第 1 開口部内に露出した前記半導体層に第 1 ゲート絶縁膜を形成する工程と、前記第 1 ゲート絶縁膜下方の前記半導体層にチャネル領域を形成する工程と、前記チャネル領域形成後、前記第 1 開口部内に第 1 ゲート電極を形成する工程と、前記第 1 ゲート電極の形成後、前記第 1 絶縁膜を除去する工程と、前記第 1 絶縁膜の除去後、前記チャネル領域を挟んで前記半導体層にソース領域とドレイン領域とを形成する工程と、前記ソース領域と前記ドレイン領域とにシリサイド領域を形成する工程と、前記チャネル領域を形成する工程は、前記チャネル領域が形成される前記半導体層の厚みが前記ソース領域および前記ドレイン領域が形成される前記半導体層の厚みよりも薄くなるように前記第 1 開口部を形成する工程であることを特徴とする、半導体装置の製造方法。

【請求項 5】 さらに、前記シリサイド領域の形成後、前記半導体層上に前記第 1 ゲート電極が露出する第 2 絶縁膜を形成する工程と、前記第 2 絶縁膜の形成後、前記第 1 ゲート電極と前記第 1 ゲート絶縁膜を除去し、第 2 開口部を形成する工程と、前記第 2 開口部内に露出した前記半導体層に、SiO<sub>2</sub> よりも誘電率が高い材料からなる第 2 ゲート絶縁膜を形成する工程と、前記第 2 ゲート絶縁膜の形成後、前記第 2 開口部内に第 2 ゲート電極を形成する工程と、を含むことを特徴とする、請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 開口部を形成する工程は、露出した前記半導体層を酸化処理し、前記半導体層に酸化層を形成する工程と、前記酸化層を除去し、前記半導体層を露出させる工程と、を含むことを特徴とする、請求項 4 または 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 半導体基板上に埋込み絶縁層と半導体層とが積層された SOI 基板に半導体素子を形成する半導体装置の製造方法であって、前記半導体層上に絶縁膜を形成する工程と、前記絶縁膜を貫通し、前記半導体層に接続される開口部を形成する工程と、前記開口部内に露出した前記半導体層にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜下方の前記半導体層にチャネル領域を形成する工程と、前記チャネル領域形成後、前記開口部内から前記絶縁膜上に渡り前記開口部を形成する工程と、前記ソース領域とドレイン領域とを形成する工程と、前記ソース領域と前記ドレイン領域とにシリサイド領域を形成する工程と、を含む、前記開口部を形成する工程は、前記チャネル領域が形成される前記半導体層の厚みが前記ソース領域および前記ドレイン領域が形成される前記半導体層の厚みよりも薄くなるように前記開口部を形成する工程であることを特徴とする、半導体装置の製造方法。

【請求項 8】 前記開口部を形成する工程は、露出した前記半導体層を酸化処理し、前記半導体層に酸化層を形成する工程と、前記酸化層を除去し、前記半導体層を露出させる工程と、を含むことを特徴とする、請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に係り、特に SOI (Silicon On Insulator) 基板上に形成される FD (Full Depletion) 型 MOS (Metal-Oxide Semiconductor) FET (Field Effect Transistor) およびその製造方法に関する。

【0002】

【従来の技術】 最近、半導体装置の製造においては、超高集積化傾向に加え、低消費電力化や高速動作化が技術的要求項目の一つに挙げられている。かかる技術的要求に LSI (Large Scale Integrated circuit)、例えば FD 型 MOS FET 素子形成した半導体装置 10 が提案されている。SOI ウェハ 12 は、半導体基板 14 上に BOX (Buried

【0003】

【0004】

ed Oxide)層(埋め込み酸化膜)16と半導体層118とが順次積層された構造を有している。また、半導体層118には、BOX層16上の半導体層118にチャネル部20、ソース部22、ドレイン部24が形成されている。このため、BOX層16下層の半導体基板14には、空乏層が形成されず、LSIの低消費電力化を図うことが可能となる。さらに、半導体層110では、BOX層16の介在により、ソースおよびドレイン部22、24と半導体基板14との間に寄生容量が生じにくく、トランジスタ素子を高速動作させることが可能となる。なお、F型MOSFETとは、トランジスタ素子の動作時にチャネル部20が形成された半導体(Si)層118が完全に空乏化するトランジスタをいう。

【0003】ただし、上記半導体装置10では、上記の如くチャネル部20、ソースおよびドレイン部22、22、22がBOX層16上の半導体層18に形成されている。このため、トランジスタ素子が動作するに正味あるは電子が電子が半導体層18中を移動すると、正味あるは電子が移動する領域のSi原子がイオン化されて半導体層18、特にチャネル部20に蓄積する。その結果、ソース部22とドレイン部24との間が電圧劣化が生じたり、あるいは短チャネル効果などの問題が発生する。そこで、ソースおよびドレイン部22、22に各々ソースおよびドレインシリサイド部22a、22aを形成し、チャネル部20に蓄積したイオンを接している、なお、図8中符号26は、ゲート電極である。また、符号26aは、ゲート電極26表面をシリサイド化して形成されたゲートシリサイド部である。また、符号28は、ゲート酸化膜である。また、符号30は、サイドウォールである。

【発明が解決しようとする課題】また、従来の半導体装置10では、チャネル部20、ソースおよびドレイン部22、22、24が、同一厚みの半導体層18に形成された、従来の半導体装置10では、チャネル部20、ソースおよびドレイン部22、22、24は、ソースおよびドレインシリサイド22、24に形成される。SOIウェハ12上に形成されたトランジスタ素子では、ゲート電極26のゲート長を短くし、かつ短チャネル効果を抑制する場合、チャネル部20下部の半導体層18の厚みを薄くする必要がある。しかしながら、半導体層18の薄量化は、同時にソースおよびドレインシリサイド部22、24の導電性を伴い、上記寄生抵抗低減の低下が困難になる。すなわち、従来の半導体装置10では、チャネル部20が形成される半導体層18の薄量化と、ソースおよびドレイン部22、24が形成される半導体層18の導電性を両立できないという問題点がある。

【０００５】本発明は、従来の技術が有する上記問題点に鑑みて成されたものであり、本発明の目的は、上記問題点およびその他の問題点を解決することが可能な、新

規かつ改良された半導体装置およびその製造方法を提供することである。

【0006】上記課題を解決するために、本発明の第1の観点によれば、半導体基板上に形成された半導体素子層とが積層されたSOI基板上に形成された半導体素子層を備える半導体装置において、半導体層上にゲート絶縁膜を介して形成されるソース領域と、ゲート絶縁膜の半導体層上に形成されるチャネル領域と、チャネル領域の半導体層上に形成されるソース領域およびドレイン領域と、ソース領域とドレイン領域に形成されるシリサイド領域とを備え、チャネル領域が形成される半導体層の厚みは、ソース領域およびドレイン領域が形成される半導体層の厚みより薄くことを特徴とする半導体装置が提供される。

【0007】本発明によれば、半導体層の厚みは、ソースおよびドレイン領域形成部分よりもチャネル領域形成部分が薄く、半導体装置の微細化によりゲート電圧のゲート長を短くしても、半導体層のチャネル領域形成部分の厚みが薄いため、短チャネル効果を抑制できる。また、半導体層のソースおよびドレイン領域形成部分の厚みは、チャネル領域形成部分とは個別独立に厚くできる。このため、ソースおよびドレイン領域に形成されるソースおよびドレイン領域の厚みを厚く形成できる。その結果、ソースおよびドレイン領域と半導体層との間に生じる寄生抵抗を抑制できる。

【0008】さらに、半導体層中に絶縁層を形成し、ゲート電極を絶縁層を貫通してゲート絶縁層に接続される間孔部内から絶縁層上に渡り形成することが好ましい。間孔部内から絶縁層上に渡り形成することにより、絶縁層の構成によれば、ゲート電極が間孔部内に加え、ゲート網にも形成される。このため、半導体層の微細化により、ゲート網の断面積を大幅に増やしても、ゲート電極の断面積をゲート幅（幅方向）が狭まって、ゲート電極の低抵抗化を防止することができる。

【0009】さらに、ゲート絶縁膜を $\text{SiO}_2$ よりも誘電率が高い材料から構成することが好ましい。かかる構成によれば、半導体装置の微細化により、ゲート電極のゲート長を短くしても、半導体素子（トランジスタ素子）の駆動力を向上させることができる。

**【0010】** また、本発明の第2の観点によれば、半導体基板上に埋め込み絶縁層と半導体層とが積層されたS O<sub>2</sub>基板に半導体素子とを形成する半導体装置の製造方法であって、半導体層上に、第1絶縁膜を形成する工程と、第1絶縁膜を貫通し、半導体層内に露出した第1開口部を形成する工程と、記第1開口部内に露出した半導体層に第1ゲート絶縁膜を形成する工程と、第1ゲート絶縁膜にチャネル領域を形成する工程と、チャネル領域の下側の半導体層にチャネル領域を形成する工程と、チャネル領域形成後、第1開口部に第1ゲート電極を形成する工程と、第1ゲート電極の形成後、第1絶縁膜を除去する工程と、第1ゲート電極の除去後、チャネル領域を除いた半導体層にソーラー領域とトランジスタ領域を形成することを含む。

る工程と、ソース領域とドレイン領域とにシリサイド領域を形成する工程とを含み、第1開口部を形成する工程は、チャネル領域が形成される半導体層の厚みがソース領域およびドレイン領域が形成される半導体層の厚みよりも薄くなるように第1開口部を形成する工程であることを特徴とする半導体装置の製造方法が提供される。本発明によれば、上述した半導体層の厚みが、ソースおよびドレイン領域が形成部分よりもチャネル領域形成部分で薄い半導体装置を形成することができる。

【0011】さらに、シリサイド領域の形成後、半導体面上に第1ゲート電極が露出する第2絶縁膜を形成する工程と、第2絶縁膜の形成後、第1ゲート電極と第1ゲート絶縁膜を除去し、第1ゲート絶縁膜を形成する工程と、第2ゲート絶縁膜を露出した半導体上に、 $\text{SiO}_2$ より導電率が高い材料から成る第2ゲート絶縁膜を形成する工程と、第2ゲート絶縁膜の形成後、第2開口部内に第2ゲート電極を形成する工程とを含む各工程を行うことが好ましい。かかる構成により、上記高導電率材料から成る第2ゲート絶縁膜を備えた半導体装置を形成できる。

【0012】また、本発明の第3の観点によれば、半導体基板上に埋め込み絶縁膜と半導体層とが積層されたS<sub>01</sub>基板上に半導体素子を形成する半導体装置の製造方法において、半導体層上に絶縁膜を形成する工程と、絶縁膜を貫通し、半導体層上に接合される開孔部を形成する工程と、開孔部内に露出した半導体層にゲート絶縁膜を形成する工程と、ゲート絶縁膜下方の半導体層にチャネル領域を形成する工程と、チャネル領域形成後、開孔部内から絶縁膜上に渡り導電層を形成する工程と、導電膜上の開孔部を含むゲート電極形成領域に渡りレジスト膜を形成する工程と、レジスト膜をマスクとして導電層と絶縁膜とをパターニングし、導電層から成るゲート電極を形成する工程と、ゲート電極形成後、チャネル領域を形成する半導体層にソース領域とドレイン領域とを形成する工程と、ソース領域とドレイン領域とにシリコン領域を形成する工程とを含む、開孔部を形成する工程は、チャネル領域が形成される半導体層の厚みがソース領域およびドレイン領域が形成される半導体層の厚みよりも薄くなるように開孔部を形成する工程であることを特徴とし、上述したゲートの断面を適宜変更できる半導体装置を形成することができ、

【0013】さらに、第1開口部あるいは第1開口部を形成する工程は、露出した半導体層を酸化処理し、半導体層に酸化層を形成する工程と、酸化層を除去し、半導体層を露出する工程とを含むことが好ましい。かかる構成によれば、酸化層の形成および剥離により、第1開口部の底面、すなわち半導体層のチャネル領域に形成部分の厚みを著くことで、酸化層の形成および剥離による半導体層の酸化処理、酸化層の除去により行われる酸化層の除去は、エッチング法により行う場合よりも制御性良く、均一に行うことができると考えられる。

め、本発明によれば、チャネル部を形成する半導体層の厚みを、所定厚みに揃へに設定することができる。

[0014]

【発明の実施の形態】以下に、添付図面を参照しながら本発明にかかる半導体装置およびその製造方法の好適な実施の形態について、詳細に説明する。なお、以下の各実施の形態において、同一の機能および構成を有する構成要素については、同一の符号を付することにより、重複説明を省略する。

【0015】（第1実施形態の形態）まず、図1〜図3を参照しながら、本発明の第1の実施形態にかかる半導体素子表面装置100について説明する。半導体装置100は、図3（f）D型MOSFET素子126を備えている。S<sub>1</sub>O<sub>2</sub>ウェハ102は、図1（a）に示すように、半導体（S<sub>1</sub>）基板104上にBOX層（埋込み絶縁層）106と半導体層108が順次積層された構造を有している。また、S<sub>1</sub>O<sub>2</sub>ウェハ102は、SIMOX（Separation by implanted Oxygen）法あるいは酸素合せ法により形成されている。なお、張り合わせ法は、半導体基板104にBOX層106と半導体層108とを順次張り合わせる方法である。また、半導体基板104は、半導体基板104上に形成されるBOX層106や半導体層108などの各層を支持する。BOX層106は、BOX層106上に形成される各種半導体素子と半導体基板104とを絶縁分離する。半導体層108は、S<sub>1</sub>から成り、不純物イオンがドーピングされて活性層として機能する。

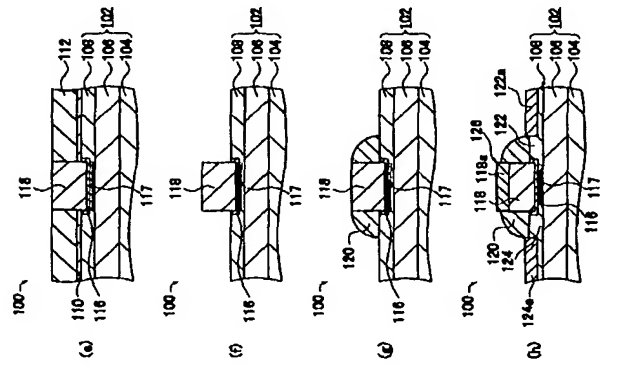
【0016】また、半導体厚10.8の厚みは、後述の工程で半導体厚10.8に形成されるソースシリサイド部（領域）122aおよびドレインシリサイド部（領域）124aの厚みに応じて設定する。例えば、ソースシリサイド部122aまたはドレインシリサイド部124aは、ソース部122あるいはドレイン部124と半導体基板104との間に生じる寄生抵抗は特に問題とはならない2 $\Omega$ /□程度になる。また、ソースシリサイド部122aまたはドレインシリサイド部124aが30nm程度の厚みである場合には、上記寄生抵抗は10 $\Omega$ /□程度と高くなる。さらに、ソースシリサイド部122aまたはドレインシリサイド部124aが10nm程度の厚みになると、各シリサイド部122a、124aが不連続になるアライメント形成が発生し、上記寄生抵抗は10 $\Omega$ /□よりも高くなる。

【0017】従って、本実施の形態では、ソースシリサイド部122aとドレインシリサイド部124aは、上記寄生抵抗を $2\Omega/\square$ 以下に抑制できる厚み、例えば500~1000nmに形成する。このため、半導体層108は、ソース部122およびソースシリサイド部122aと、ドレイン部124およびドレインシリサイド部124

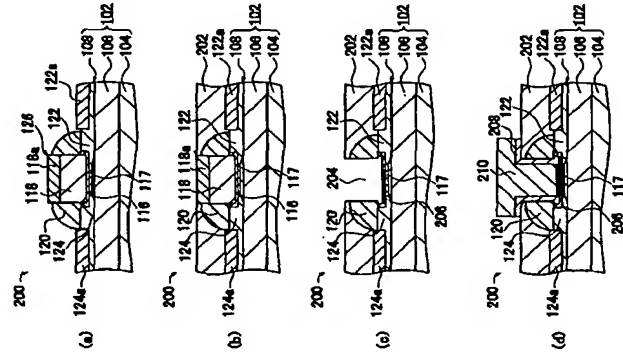




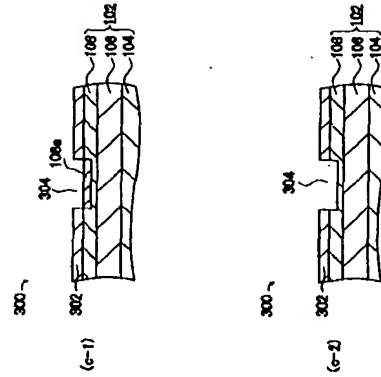
【图3】



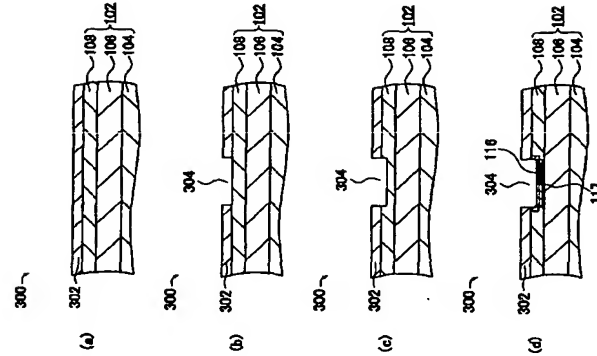
【图4】



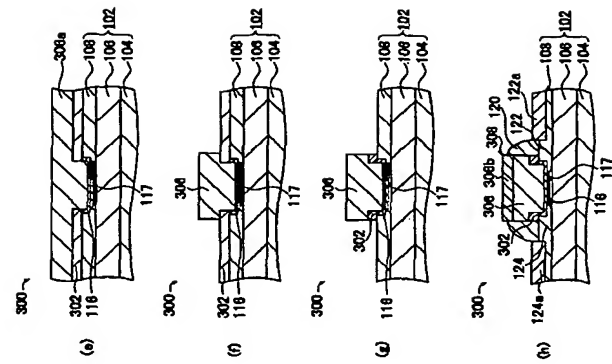
【图6】



【图5】



【图7】



フロントページの続き

Fターム(参考) 5F110 A003 A066 C002 D005 D013  
E501 E505 H309 F514 E532  
E544 E545 F501 F502 F503  
F523 F528 G012 G522  
G525 G528 G529 G532 G552  
H101 H113 H123 H505 H517  
H540 Q011 Q017 Q019